

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-126155

(43)公開日 平成11年(1999) 5月11日

(51)Int.Cl.⁶

G 0 6 F 7/24

H 0 3 H 17/02

識別記号

6 4 1

6 5 5

F I

G 0 6 F 7/24

H 0 3 H 17/02

D

6 4 1 Z

6 5 5 D

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号

特願平9-289459

(22)出願日

平成9年(1997)10月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 米谷 聡

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 広瀬 正樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 小島 雄一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

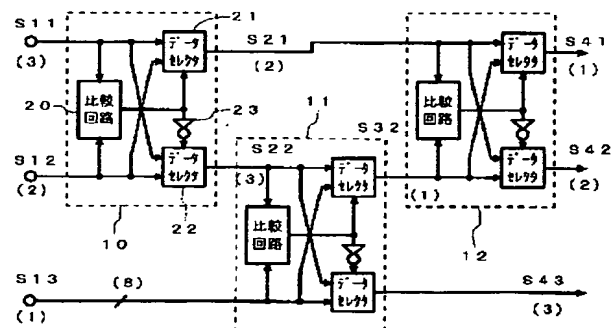
(74)代理人 弁理士 渡谷 孝

(54)【発明の名称】 データ並べ替え装置および該装置を使用したフィルタ装置

(57)【要約】

【課題】 任意の入力データ数に容易に対応でき、かつハードウェア量が少ないデータ並べ替え装置および該装置を使用したフィルタ装置を提供すること。

【解決手段】 データ並べ替え装置において、2つのデータを入力して、大きい方のデータを一方の出力端子に出力し、小さな方のデータを他方の出力端子に出力するデータ並べ替え回路10～12を複数個設け、これを必要に応じて複数段縦続接続する。また、該データ並べ替え装置を使用して例えば中央値を出力するメディアンフィルタ装置を構成可能である。本発明においては、任意の入力データ数のデータ並べ替え装置およびフィルタ装置を容易に実現可能となり、かつハードウェア量も小さく抑えることができる。



【特許請求の範囲】

【請求項1】 2つのデータを入力し、データ値の大きさを比較して、大きい方のデータを一方の出力端子に出力し、小さな方のデータを他方の出力端子に出力するデータ並べ替え回路を複数個設け、

隣接する2つのデータ並べ替え回路において、一方のデータ並べ替え回路の前記大きい方のデータを出力する一方の出力端子及び他方のデータ並べ替え回路の前記小さな方のデータを出力する他方の出力端子が次段の1つのデータ並べ替え回路の入力端子とそれぞれ接続されるように、データ並べ替え回路を複数段縦続接続したことを特徴とするデータ並べ替え装置。

【請求項2】 データ数 n が偶数である場合には、偶数段には $n/2$ 個、奇数段には $n/2-1$ 個のデータ並べ替え回路を使用し、前記並べ替え回路を n 段縦続接続し、データ数 n が奇数である場合には、各段には $(n-1)/2$ 個のデータ並べ替え回路を使用し、前記並べ替え回路を n 段縦続接続したことを特徴とする請求項1に記載のデータ並べ替え装置。

【請求項3】 2つのデータを入力し、データ値の大きさを比較して、大きい方のデータを一方の出力端子に出力し、小さな方のデータを他方の出力端子に出力するデータ並べ替え回路を複数個設け、

隣接する2つのデータ並べ替え回路において、一方のデータ並べ替え回路の前記大きい方のデータを出力する一方の出力端子及び他方のデータ並べ替え回路の前記小さな方のデータを出力する他方の出力端子が次段の1つのデータ並べ替え回路の入力端子とそれぞれ接続されるように、データ並べ替え回路を複数段縦続接続し、入力された複数のデータの内の大きさが所定の順位のデータを出力するデータ並べ替え手段と、前記データ並べ替え手段の各入力端子に所定の入力データ系列を入力する信号遅延手段とを含むことを特徴とするフィルタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ並べ替え装置および該装置を使用したフィルタ装置に関し、特に、任意の入力データ数に対して容易に構成可能であり、かつハードウェア量が少ないデータ並べ替え装置および該装置を使用したフィルタ装置に関するものである。

【0002】

【従来の技術】従来、信号処理の分野においては線形フィルタが用いられていたが、線形フィルタには幾つかの点で限界があるために、特にノイズ除去等の分野において非線形フィルタが多く用いられていた。非線形フィルタの中で多く用いられているものには、例えば入力信号系列の中央値を出力するメディアンフィルタや、データ値の大きさの順位に対応した重み付け係数を乗算して加算する順序統計フィルタ等がある。これらのフィルタは

いずれも値の大きさに応じて複数の入力データの並べ替えを行うことが前提となる。

【0003】図7は、前記したフィルタ装置に使用される従来のデータ並べ替え装置の回路構成を示すブロック図である。入力端子 $S11 \sim S13$ に入力される複数

(図7においては3個)の入力データは2個づつ組み合わせられて比較回路80、81、82によってその大小が判定され、データセレクト制御信号発生回路83は、比較回路80、81、82の出力情報から全体のデータ順位を決定し、データセレクト84、85、86の選択制御信号を生成する。データセレクト84、85、86は入力データ中から所望のデータを選択して、出力端子 $S41 \sim S43$ に出力する。一般には、データ数を n 個とすると、比較回路が $nC2$ 個、 n 入力データセレクトが n 個必要となる。

【0004】

【発明が解決しようとする課題】一般に、メディアンフィルタや順序統計フィルタの入力データ数は、画像であれば最低 $3 \times 3 = 9$ 個程度ないと効果が出ず、また荷重メディアンフィルタのように、更に多くの入力データを必要とするものもある。ところが、前記したような従来のデータ並べ替え装置においては、入力データ数 n が比較的少ない場合には簡単な構成で並べ替えが可能であるが、 n が大きくなると、データセレクト制御信号発生回路83の回路規模が大きくなり、かつ、 n に応じて個別の設計が必要となるという問題点があった。本発明の目的は、前記のような従来技術の問題点を解決し、任意の入力データ数に容易に対応でき、かつハードウェア量が少ないデータ並べ替え装置および該装置を使用したフィルタ装置を提供することにある。

【0005】

【課題を解決するための手段】本発明は、データ並べ替え装置において、2つのデータを入力して、大きい方のデータを一方の出力端子に出力し、小さな方のデータを他方の出力端子に出力するデータ並べ替え回路を複数個設け、これを複数段縦続接続したことを特徴とし、また該データ並べ替え装置を使用したフィルタ装置にも特徴がある。本発明においては、同一構成の2入力データ並べ替え回路を複数個組み合わせることにより、任意の入力データ数のデータ並べ替え装置および該データ並べ替え装置を使用したフィルタ装置を容易に実現することができる。

【0006】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1は、本発明のデータ並べ替え装置の構成を示すブロック図である。図1においては、入力データ数を3とし、各データは入力端子 $S11 \sim S13$ から入力される。図1のデータ並べ替え装置は同一構成の3つの2入力データ並べ替え回路10～12から成っている。

【0007】データ並べ替え回路10~12は、例えば比較回路20、2つのデータセクタ回路21、22、インバータ23から成っている。比較回路20は2つの入力データを比較し、例えば上側(S11)の入力データの方が値が大きい場合に"1"を出力し、そうでない場合には"0"を出力する。2つのデータセクタ21、22は共に制御端子が"0"である場合には上側(S11)の入力データを出力し、制御端子が"1"である場合には下側(S12)の入力データを出力する。

【0008】データセクタ22の制御端子にはインバータ23を介して制御信号が入力されているので、結局、値の小さな入力データが端子S21に出力され、値の大きな入力データが端子S22に出力されることになる。他の並べ替え回路11、12も同様に上側の出力端子に値の小さなデータが、また下側の出力端子に値の大きなデータが出力される。

【0009】次段のデータ並べ替え回路11の上側入力端子には、データ並べ替え回路10の大きい値を出力する出力端子(以下(大)出力端子と記す。)S22が接続され、他方の下側入力端子は装置の入力端子S13に接続される。3段目のデータ並べ替え回路12の上側入力端子には1段目のデータ並べ替え回路10の(小)出力端子S21が接続され、下側入力端子には2段目のデータ並べ替え回路11の(大)出力端子S32が接続される。

【0010】次に、動作を説明する。図1において、例えば入力端子S11に"3"、S12に"2"、S13に"1"が入力されたものとする(図1において括弧で表示)。第1段目のデータ並べ替え回路10の比較回路20からは"1"が出力され、データセクタ21からは"2"が、またデータセクタ22からは"3"が出力される。第2段目のデータ並べ替え回路11においては、"3"と"1"が入力され、上側の(小)出力端子S32に"1"が、また下側の(大)出力端子S43に"3"が出力される。第3段目のデータ並べ替え回路12においては、"2"と"1"が入力され、上側の(小)出力端子S41に"1"が、また下側の(大)出力端子S42に"2"が出力される。以上のような動作によって、出力端子S41~S43に値の小さな順に"1"から"3"が出力される。図2は、データ並べ替え回路の他の実施例の構成を示すブロック図である。図1に示したデータ並べ替え回路10においてはインバータ23を使用しているが、図2に示したデータ並べ替え回路30においてはデータセクタ32とデータセクタ33の入力端子への接続をそれぞれ逆にするることによってインバータを省略し、比較回路31の出力信号を直接2つのデータセクタの制御端子に入力している。

【0011】図3は、データ並べ替え装置の第2の実施例の構成を示すブロック図である。この実施例は、図1に示した第1の実施例に、更にD型フリップフロップ

(FF)を付加し、高速動作あるいはパイプライン動作を可能にしたものである。図1に示した第1の実施例においては、最終段の出力端子からデータが出力されるまで初段の入力データを保持しておく必要がある。しかし、図3に示した第2の実施例においては、各段の間にデータをラッチするためのD型FF43~48を設け、例えば1つのデータ並べ替え回路40の演算時間を周期とするクロック信号でラッチすることにより、クロック周期でデータを入力し、かつ並べ替えた結果を得ることができる。なお、図3において必要に応じて入力端および出力端にもD型FFを設けてもよい。

【0012】図4は、データ並べ替え装置の第3の実施例の構成を示すブロック図である。この実施例は入力データ数が4である場合のデータ並べ替え装置の構成例であり、各データ並べ替え回路50~55の構成は図1あるいは図2に示した第1の実施例と同一である。同一段内で上下に隣接する2つのデータ並べ替え回路(例えば50、51)において、一方のデータ並べ替え回路(50)の一方(下側)の出力端子及び他方のデータ並べ替え回路(51)の他方(上側)の出力端子が次段の1つのデータ並べ替え回路(52)の入力端子とそれぞれ接続されるように、各データ並べ替え回路50~55が複数段縦続接続される。

【0013】この実施例において、例えば各入力端子に上から順に"4"から"1"までの値が入力された場合には、図4に括弧書きで示すように、1段目のデータ並べ替え回路50、51の出力が上から順に"3、4、1、2"となる。以下同様に、2段目の出力が上から順に"3、1、4、2"、3段目の出力が上から順に"1、3、2、4"、4段目の出力が上から順に"1、2、3、4"となり、並び替えが完了する。

【0014】一般的に、入力データ数nが偶数である場合には、偶数段には $n/2$ 個、奇数段には $n/2-1$ 個のデータ並べ替え回路を使用し、並べ替え回路をn段縦続接続する。従って、必要とするデータ並べ替え回路の数は、 $(n/2)*(n/2)+(n/2-1)*(n/2)=(n-1)*(n/2)$ となり、図4の例では $n=4$ であるので回路数は6となる。

【0015】図5は、データ並べ替え装置の第4の実施例の構成を示すブロック図である。この実施例は入力データ数が9である場合のデータ並べ替え装置の構成例であり、各データ並べ替え回路60の構成は図1あるいは図2に示した第1の実施例と同一である。また、各データ並べ替え回路60は、図4に示した第3の実施例と同様の規則に従って複数段縦続接続される。

【0016】この実施例において、例えば各入力端子に上から順に"9"から"1"までの値が入力された場合の各データ並べ替え回路の入出力値を図5に括弧書きで示す。最終的には、9段目の出力が上から順に"1、2、…、9"となり、並び替えが完了する。一般的に、入力データ数nが奇数である場合には、各段には $(n-$

10

20

30

40

50

1) / 2 個のデータ並べ替え回路を使用し、並べ替え回路を n 段縦続接続する。従って、必要とするデータ並べ替え回路の数は、 $n*(n-1)/2$ となり、図 5 の例では $n = 9$ であるので回路数は 36 となる。

【0017】図 6 は、本発明のデータ並べ替え装置を使用したフィルタ装置の構成を示すブロック図である。この実施例は、例えばデジタル化した NTSC 信号のようなラスタスキャン方式の画像信号を入力し、所定の範囲 (3×3) 中の画素データの中央値 (値を順に並べた場合の中間順位の値) を出力するメディアン (median) フィルタ装置である。

【0018】図 6 のフィルタ装置は、入力画像信号を所定量だけ遅延させ、所望の画素データを得る信号遅延回路部分と、複数の入力信号から中央値を選別するデータ並べ替え装置部分の 2 つに分けることができる。信号遅延回路部分は、信号を 1 画素分遅延させる D 型 FF 回路 71、72、74、75、77、78 を 6 個、および信号を 1 ライン分 (正確には 1 ライン - 2 画素分) 遅延させる 1 ライン遅延回路 73、76 を 2 個含み、3 行 \times 3 列の 9 画素分のデータを並列に出力する。

【0019】データ並べ替え装置部分は、図 5 に示した 9 入力のデータ並べ替え装置と類似に構成されている。しかし、データ並べ替え回路の内、7 段目の最上部の 1 個、8 段目の上下の 2 個、9 段目の上部の 2 個および下部の 1 個の合計 6 個は中央値 (大きさの順位が 5 番目のデータ値) の選別に関与しないので省略されている。従って、データ並べ替え回路数は 30 となる。なお、当実施例において、図 3 に示したようなラッチ回路を付加してもよい。また、順序統計フィルタを構成する場合には、データ並べ替え装置の後にそれぞれ重み付け係数を乗算する乗算回路および加算器を付加すればよい。

【0020】以上、実施例について開示したが、以下に述べるような変形例も考えられる。実施例としてはパラレルデータを入力する例を開示したが、例えば各入力データをシリアルに inputs し、データ並べ替え回路内の比較回路において上位から 1 ビットづつ比較していくようにしてもよい。このようにすると処理時間はかかるが、ハードウェア量はパラレル処理の場合より減少する。応用例としては画像データの中央値を出力するメディアンフィルタの例を開示したが、図 6 に示した実施例と類似の

構成で、最大値や最小値を始め、任意の順位のデータを出力することが可能である。また抽出したい窓に対応した遅延回路を使用することにより、通信や情報記録に関する任意の種類の信号に対応するフィルタ処理が可能である。

【0021】

【発明の効果】以上述べたように、本発明においては、同一構成の 2 入力のデータ並べ替え回路を複数個組み合わせることにより、従来入力データ数の増加に伴って回路規模が急増し、かつ入力数に応じて個別の設計が必要であったデータセレクト制御信号発生回路が不要となり、任意の入力データ数のデータ並べ替え装置を容易に実現でき、かつハードウェア量も小さく抑えることができるという効果がある。また該データ並べ替え装置を使用して、例えばメディアンフィルタや順序統計フィルタ等の非線形フィルタ装置を容易に実現可能であるという効果もある。

【図面の簡単な説明】

【図 1】本発明のデータ並べ替え装置の構成を示すブロック図である。

【図 2】データ並べ替え回路の他の実施例を示すブロック図である。

【図 3】データ並べ替え装置の第 2 の実施例を示すブロック図である。

【図 4】データ並べ替え装置の第 3 の実施例を示すブロック図である。

【図 5】データ並べ替え装置の第 4 の実施例を示すブロック図である。

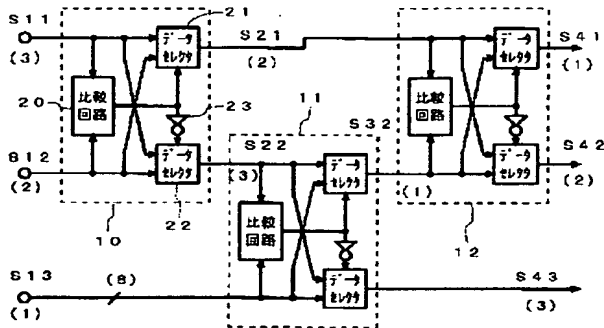
【図 6】本発明のデータ並べ替え装置を使用したフィルタ装置の構成を示すブロック図である。

【図 7】従来のデータ並べ替え装置の回路構成を示すブロック図である。

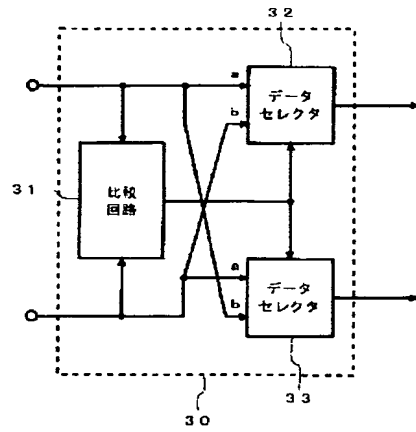
【符号の説明】

10、11、12、30、40~42、50~55、60、70…データ並べ替え回路、20…比較回路、21、22、32、33…データセクタ、23…インバータ、43~48、71、72、74、75、77、78…D 型フリップフロップ、73、76…1 ライン遅延回路

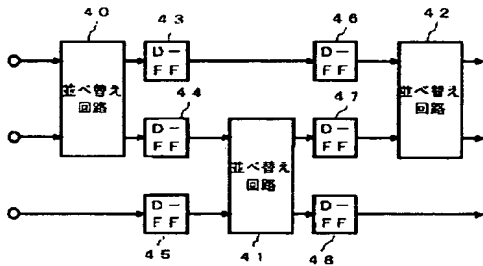
【図 1】



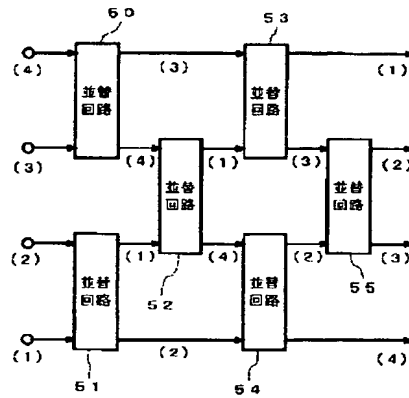
【図 2】



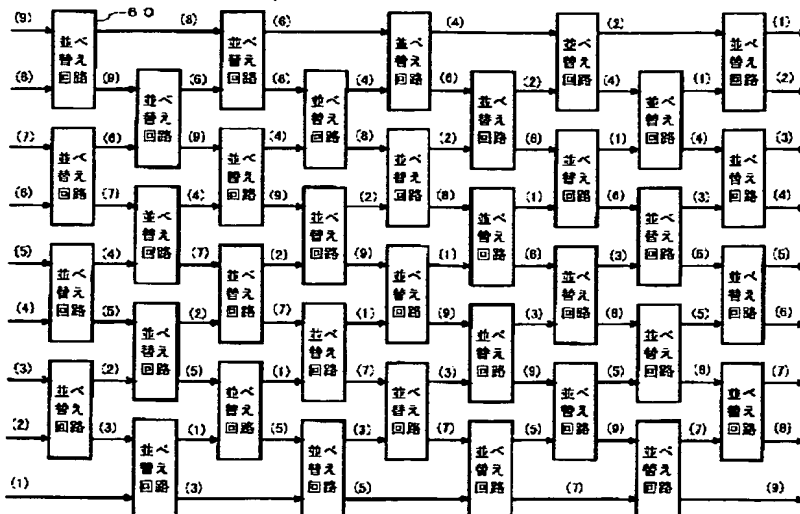
【図 3】



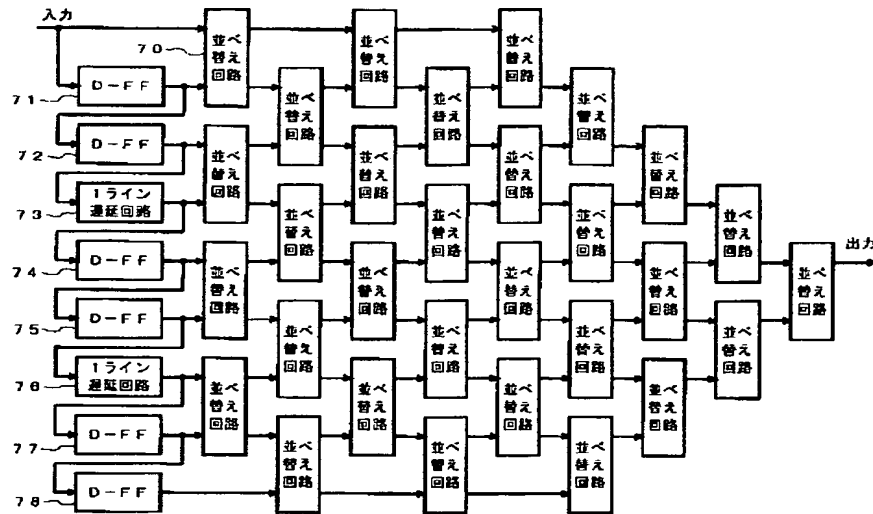
【図 4】



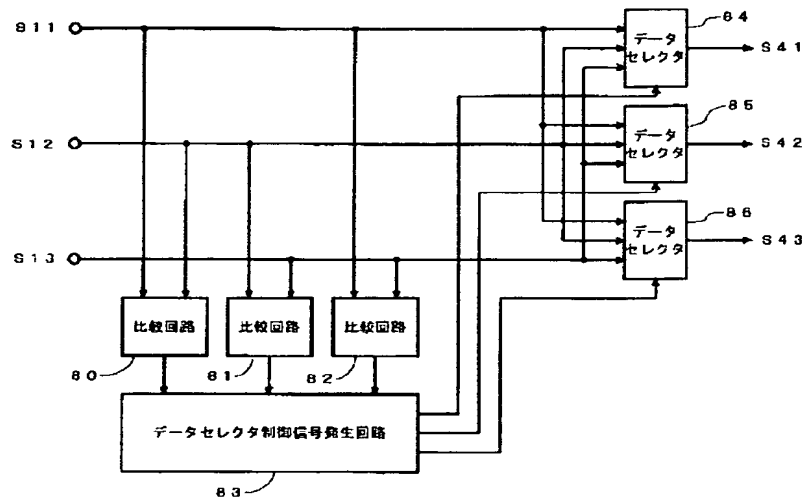
【図 5】



【図6】



【図7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-126155

(43)Date of publication of application : 11.05.1999

(51)Int.Cl. G06F 7/24

H03H 17/02

H03H 17/02

(21)Application number : 09-289459 (71)Applicant : SONY CORP

(22)Date of filing : 22.10.1997 (72)Inventor : YONETANI SATOSHI

HIROSE MASAKI

KOJIMA YUICHI

(54) DATA REARRANGING DEVICE AND FILTERING DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data rearranging device, which can easily deal with an arbitrary number of input data and reduces the hardware amount, and a filtering device using the same.

SOLUTION: This data rearranging device is provided with plural data rearranging circuits 10-12 for outputting larger data to one output terminal and outputting smaller data to the other output terminal, and these circuits are serially connected for plural stages as needed. Besides, by using the data rearranging device, a median filtering device can be constituted for outputting a central value, for example. The data rearranging device and the filtering device can be provided for an arbitrary number of

input data and the hardware amount can be suppressed to be small as well.

LEGAL STATUS [Date of request for examination] 16.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Input two data, compare the magnitude of a data value, and the data of the larger one are outputted to one output terminal. In two data rearrangement circuits which prepare two or more data rearrangement circuits which output the data of the small one to the output terminal of another side, and adjoin So that while may output the data of said larger one of one data rearrangement circuit and the output terminal of another side which outputs the data of said small one of an output terminal and the data rearrangement circuit of another side may be connected with the input terminal of one data rearrangement circuit of the next step, respectively Data rearrangement equipment characterized by carrying out two or more step cascade connection of the data rearrangement circuit.

[Claim 2] Data rearrangement equipment according to claim 1 characterized by having used $n/2$ piece for even level, having used n / two to one data rearrangement circuit for odd level, having carried out n step cascade connection of said rearrangement circuit when the number of data several n was even, having used $(n-1) / \text{two}$ data rearrangement circuits for each stage, and carrying out n step cascade connection of said rearrangement circuit when the number of data several n is odd.

[Claim 3] Input two data, compare the magnitude of a data value, and the data of the larger one are outputted to one output terminal. In two data rearrangement circuits which prepare two or more data rearrangement circuits which output the data of the small one to the output terminal of another side, and adjoin So that while may output the data of said larger one of one data rearrangement circuit and the output terminal of another side which outputs the data of said small one of an output terminal and the data rearrangement circuit of another side may be connected with the input terminal of one data rearrangement circuit of the next step, respectively Filter equipment characterized by including a data rearrangement means by which carry out two or more step cascade connection of the data rearrangement circuit, and the magnitude of two or more inputted data outputs the data of predetermined ranking, and a signal delay means to input a predetermined input data sequence into each input terminal of said data rearrangement means.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the filter equipment with which the amount of hardware used little data rearrangement equipment and this equipment easily to the number of input data of arbitration especially that it can constitute about the filter equipment which used data rearrangement equipment and this equipment.

[0002]

[Description of the Prior Art] Although the linearity filter was conventionally used in the field of signal processing, since there was a limitation in a linearity filter in some respects, many nonlinear filters were used especially in fields, such as noise rejection. There are a median filter which outputs the median of for example, an input signal sequence to what is used in the nonlinear filter, a sequence statistics filter which carries out the multiplication of the weighting multiplier corresponding to the ranking of the magnitude of a data value, and adds it. It will be the requisite that these filters all rearrange two or more input data according to the magnitude of a value.

[0003] Drawing 7 is the block diagram showing the circuitry of the conventional data rearrangement equipment used for the above mentioned filter equipment. Two input data of plurality (it sets to drawing 7 and they are three pieces) inputted into input terminals S11-S13 is together put at a time, and by comparison circuits 80, 81, and 82, the size is judged, and the data selector control signal generating circuit 83 determines the whole data ranking from the print-out of comparison circuits 80, 81, and 82, and generates the selection-control signal of data selectors 84, 85, and 86. Data selectors 84, 85, and 86 choose desired data out of input data, and output them to output terminals S41-S43. Generally, when the number of data is made into n pieces, two $nC(s)$ and n n input data selectors are needed for a comparison circuit.

[0004]

[Problem(s) to be Solved by the Invention] if the number of input data of a median filter or a sequence statistics filter is generally an image -- at least 3 -- there are some which effectiveness will not show up if there is about [no] $\times 3=9$ piece, and need further many input data like a load median filter. However, in conventional data rearrangement equipment which was described above, when there was comparatively few several n input data, it could rearrange with the easy configuration, but when n became large, the circuit magnitude of the data selector control signal generating circuit 83 became large, and there was a trouble that the design according to individual was needed according to n. The object of this invention solves the trouble of the above conventional techniques, and is to offer the filter equipment with which it could respond to the number of input data of arbitration easily, and the amount of hardware used little data rearrangement equipment and this equipment.

[0005]

[Means for Solving the Problem] This invention has the description also in the filter equipment which prepared two or more data rearrangement circuits which input two data, output the data of the larger one to one output terminal, and output the data of the small one to the output terminal of another side, and was characterized by carrying out two or more step cascade connection of this, and used this data rearrangement equipment in data rearrangement equipment. In this invention, the filter equipment which used the data rearrangement equipment of the number of input data of arbitration and this data rearrangement equipment is easily realizable by combining two or more 2 input-data rearrangement circuits of the same configuration.

[0006]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing 1 is the block diagram showing the configuration of the data rearrangement equipment of this invention. In drawing 1, the number of input data is set to 3, and each data is inputted from input terminals S11-S13. The data rearrangement equipment of drawing 1 consists of three 2 input-data rearrangement circuits 10-12 of the same configuration.

[0007] The data rearrangement circuits 10-12 consist of the data selector circuits 21 and 22 of 20 or 2 comparison circuits, and an inverter 23. A comparison circuit 20 compares two input data, for example, when the direction of upper (S11) input data has a large value, it outputs "1", and when that is not right, it outputs "0." Both two data selectors 21 and 22 output upper (S11) input data, when a control terminal is "0", and when a control terminal is "1", they output lower (S12) input data.

[0008] Since the control signal is inputted into the control terminal of a data selector 22 through the inverter 23, input data with a small value will be outputted to a terminal S21 after all, and input data with a big value will be outputted to a terminal S22. Similarly, data with a small value are outputted to an upper output terminal, and data with a big value are outputted for other rearrangement circuits 11 and 12 to a lower output terminal.

[0009] The output terminal (it is described as an output terminal below (size).) S22 which outputs the large value of the data rearrangement circuit 10 is connected to the upside input terminal of the data rearrangement circuit 11 of the next step, and the bottom input terminal of another side is connected to the input terminal S13 of equipment. The output terminal (smallness) S21 of the 1st step of data rearrangement circuit 10 is connected to the upside input terminal of the 3rd step of data rearrangement circuit 12, and the output terminal (size) S32 of the 2nd step of data rearrangement circuit 11 is connected to a bottom input terminal.

[0010] Next, actuation is explained. In drawing 1, it is referred to as "3" at an input terminal S11, and is referred to as "2" and the thing as which "1" was inputted into S13 S12 (in drawing 1, it displays in a parenthesis). From the comparison circuit 20 of the data rearrangement circuit 10 of the 1st step, "1" is outputted and "3" from a data selector 22 is outputted for "2" from a data selector 21 again. In the data rearrangement circuit 11 of the 2nd step, "1" is inputted as "3" and "1" moreover, lower output terminal (size) S43" 3" is outputted to the upper output terminal (smallness) S32. In the data rearrangement circuit 12 of the 3rd step, "1" is inputted as "2" and "1" moreover, lower output terminal (size) S42" 2" is outputted to the upper output terminal (smallness) S41. "1" to "3" is outputted to output terminals S41-S43 by the above actuation at order with a small value. Drawing 2 is the block diagram showing the configuration of other examples of a data rearrangement circuit. Although the inverter 23 is used in the data rearrangement circuit 10 shown in drawing 1, by making reverse connection with the input terminal of a data selector 32 and a data selector 33 in the data rearrangement circuit 30 shown in drawing 2, respectively, the inverter was omitted and the output signal of a comparison circuit 31 is directly inputted into the control terminal of two data selectors.

[0011] Drawing 3 is the block diagram showing the configuration of the 2nd example of data rearrangement equipment. This example adds a D type flip-flop (FF) to the 1st example shown in drawing 1 further, and enables high-speed operation or pipeline actuation. In the 1st example shown in drawing 1, it is necessary to hold the input data of the first rank until data are outputted from the output terminal of the last

stage. However, in the 2nd example shown in drawing 3 , the result of having inputted and rearranged data with the clock period can be obtained by latching with the clock signal which forms the D molds 43–FFs 48 for latching data between each stage, for example, makes a period the operation time of one data rearrangement circuit 40. In addition, in drawing 3 , the D mold FF may be formed also in an input edge and an outgoing end if needed.

[0012] Drawing 4 is the block diagram showing the configuration of the 3rd example of data rearrangement equipment. This example is an example of a configuration of data rearrangement equipment in case the number of input data is 4, and the configuration of each data rearrangement circuits 50–55 is the same as that of the 1st example shown in drawing 1 or drawing 2 . Two or more step cascade connection of each data rearrangement circuits 50–55 is carried out so that the output terminal [on the other hand / (below)] of one data rearrangement circuit (50) and the output terminal of another side (above) of the data rearrangement circuit (51) of another side may be connected with the input terminal of one data rearrangement circuit (52) of the next step in two data rearrangement circuits (50 for example, 51) which adjoin up and down, respectively in the same stage.

[0013] In this example, when the values from “4” to “1” are inputted into each input terminal sequentially from a top, as parenthesis writing shows to drawing 4 , the 1st step of output of the data rearrangement circuits 50 and 51 is set to “3, 4, 1, 2” from a top at order, the following -- the same -- the 2nd step of output -- “1, 3, 2, 4”, and the 4th step of output become [“3, 1, 4, 2”, and the 3rd step of output] “1, 2, 3, 4” from a top in order from a top from a top to order at order, and rearrangement is completed.

[0014] Generally, when the number of several n input data is even, $n/2$ piece is used for even level, $n / 2$ to one data rearrangement circuit is used for odd level, and n step cascade connection of the rearrangement circuit is carried out. Therefore, the number of the data rearrangement circuits to need becomes $(n/2) * (n/2) + (n / 2 - 1) * (n/2) = (n-1) * (n/2)$, and in the example of drawing 4 , since it is $n=4$, the number of circuits is set to 6.

[0015] Drawing 5 is the block diagram showing the configuration of the 4th example of data rearrangement equipment. This example is an example of a configuration of data rearrangement equipment in case the number of input data is 9, and the configuration of each data rearrangement circuit 60 is the same as that of the 1st example shown in drawing 1 or drawing 2 . Moreover, according to the same regulation as the 3rd example shown in drawing 4 , two or more step cascade connection of each data

rearrangement circuit 60 is carried out.

[0016] In this example, parenthesis writing shows the I/O value of each data rearrangement circuit when the values from "9" to "1" are inputted into each input terminal sequentially from a top to drawing 5. Eventually, the 9th step of output is set to "1, 2, ..., 9" from a top at order, and rearrangement is completed. Generally, when the number of several n input data is odd, $(n-1) / 2$ data rearrangement circuits are used for each stage, and n step cascade connection of the rearrangement circuit is carried out. Therefore, the number of the data rearrangement circuits to need is set to $n * (n-1) / 2$, and in the example of drawing 5, since it is $n=9$, the number of circuits is set to 36.

[0017] Drawing 6 is the block diagram showing the configuration of the filter equipment which used the data rearrangement equipment of this invention. This example is median (median) filter equipment which inputs the picture signal of a raster scan method like the NTSC signal which digitized, for example, and outputs the median (value of the medium ranking at the time of arranging a value in order) of the pixel data in the predetermined range (3x3).

[0018] Only the specified quantity can delay an input picture signal and the filter equipment of drawing 6 can be divided into two, the signal delay circuit part which obtains desired pixel data, and the data rearrangement equipment part which sorts out the median from two or more input signals. A signal delay circuit part outputs the data for 9 pixels of three line x3 train to juxtaposition including two one-line delay circuits 73 and 76 in which the D mold FF circuits 71, 72, 74, 75, 77, and 78 which delay a signal by 1 pixel delay six pieces and a signal by one line (it is one line in accuracy - 2 pixels).

[0019] The data rearrangement equipment part is constituted by the data rearrangement equipment of 9 inputs shown in drawing 5, and resemblance. However, among data rearrangement circuits, since 1 of the 7th step of topmost part, 2 of the 8th step of upper and lower sides, 2 of the 9th step of upper part, and one a total of 6 of the lower part do not participate in sorting of the median (the ranking of magnitude is the 5th data value), it is omitted. Therefore, the number of data rearrangement circuits is set to 30. In addition, in this example, a latch circuit as shown in drawing 3 may be added. Moreover, what is necessary is just to add the multiplication circuit and adder which carry out the multiplication of the weighting multiplier after data rearrangement equipment, respectively, in constituting a sequence statistics filter.

[0020] As mentioned above, although indicated about the example, a modification which is described below is also considered. Although the example which inputs

parallel data as an example was indicated, each input data is inputted serially, for example, and you may make it measure 1 bit at a time from the high order in the comparison circuit in a data rearrangement circuit. Although the processing time will start if it does in this way, the amount of hardware decreases from the case of parallel processing. Although the example of the median filter which outputs the median of image data as an application was indicated, it is the configuration of the example shown in drawing 6 , and resemblance, and it is possible to begin maximum and the minimum value and to output the data of the ranking of arbitration. Moreover, by using the delay circuit corresponding to an aperture extracting, filtering corresponding to the signal of the class of arbitration about a communication link or information record is possible.

[0021]

[Effect of the Invention] As stated above, by combining two or more data rearrangement circuits of 2 inputs of the same configuration, circuit magnitude increase rapidly with the increment in the number of input data conventionally, and the data selector control signal generating circuit which needed the design according to individual become unnecessary according to the number of inputs, and the data rearrangement equipment of the number of input data of arbitration can be realized easily, and it be effective in the ability to be also able to stop the amount of hardware small in this invention. Moreover, this data rearrangement equipment is used, for example, there is effectiveness [equipments /, such as a median filter and a sequence statistics filter / nonlinear filter] easily of being realizable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the data rearrangement equipment of this invention.

[Drawing 2] It is the block diagram showing other examples of a data rearrangement circuit.

[Drawing 3] It is the block diagram showing the 2nd example of data rearrangement equipment.

[Drawing 4] It is the block diagram showing the 3rd example of data rearrangement equipment.

[Drawing 5] It is the block diagram showing the 4th example of data rearrangement equipment.

[Drawing 6] It is the block diagram showing the configuration of the filter equipment which used the data rearrangement equipment of this invention.

[Drawing 7] It is the block diagram showing the circuitry of conventional data rearrangement equipment.

[Description of Notations]

60 10, 11, 12, 30, 40-42, 50-55, 70 [-- An inverter 43-48, 71, 72, 74, 75, 77, 78 / -- A D type flip-flop 73, 76--1-line delay circuit] -- A data rearrangement circuit, 20 -- A comparison circuit, 21, 22, 32, 33 -- A data selector, 23